

Title of the Prior Art

Japanese Published Patent Application No. Hei.5-158864

Date of Publication: June 25, 1993

Concise Statement of Relevancy

There is provided a DMA control apparatus that realizes high transfer throughput without preventing an execution of high-priority processing of MPU. This DMA control apparatus has a DMA means that partitions the operation state of a microcomputer system into plural levels, divides data to be transmitted into the predetermined number of blocks to assign the number of block transfers for the respective levels, performs a block transfer intervening in bus control, transmits the number of block transfers assigned in accordance with the operation state level of the microcomputer at that time, and thereafter releases the bus.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-158864

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

G 0 6 F 13/28

識別記号

3 1 0 G 8725-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平3-324680

(22)出願日 平成3年(1991)12月9日

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72)発明者 葉山 宏幸

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

(72)発明者 浅野 光春

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

(72)発明者 宗安 秀夫

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

(74)代理人 弁理士 絹谷 信雄

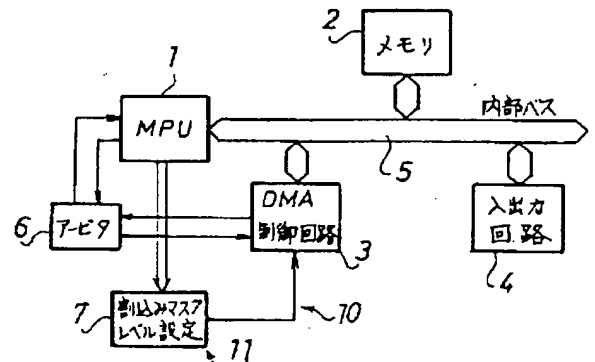
最終頁に続く

(54)【発明の名称】 DMA制御装置

(57)【要約】

【目的】 MPU 1 の優先度の高い処理を阻害することなくスループットを高められるDMA制御装置 10 を提供する。

【構成】 マイクロコンピュータシステムの動作状態を複数のレベルに区分すると共に転送データを所定の個数のブロックに分割して上記レベル毎にブロック転送回数を割当て、バス制御に介入してブロック転送をする時、その時のマイクロコンピュータシステムの動作状態レベルに応じて上記割当てられたブロック転送回数分を転送し、その後バスを解放するDMA手段を有する構成とした。



【特許請求の範囲】

【請求項1】 MPU、メモリ、入出力回路を備えたマイクロコンピュータシステムに設けられ、随時MPUを抑制してバス制御に介入し、メモリと入出力回路との間でデータ転送を行うDMA制御回路において、マイクロコンピュータシステムの動作状態を複数のレベルに区分すると共に転送データを所定の個数のブロックに分割して上記レベル毎にブロック転送回数を割当て、DMA制御回路がバス制御に介入してブロック転送をする時、その時のマイクロコンピュータシステムの動作状態レベルに応じて上記割当てられたブロック転送回数分を転送し、その後バスを解放するDMA手段を有することを特徴とするDMA制御装置。

【請求項2】 マイクロコンピュータシステムの動作状態レベルは、DMAデータ転送が禁止されるレベルを有することを特徴とする請求項1記載のDMA制御装置。

【請求項3】 マイクロコンピュータシステムの動作状態レベルは、1回のバス制御介入で所望の転送データが全て転送されるレベルを有することを特徴とする請求項1記載のDMA制御装置。

【請求項4】 DMA手段は、データ転送中に所定のレベル以上の割込みが要求された時、転送を中断すると共にMPUの制御に戻し、転送を再開するためにMPUからの指令を待受けることを特徴とする請求項1記載のDMA制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MPUを介することなくメモリと入出力回路との間で直接データ転送を行うDMA制御回路に係り、特に、その時のマイクロコンピュータシステムの動作状態レベルに応じて転送データ量を可変とし、MPUの優先度の高い処理を阻害することなくスループットを高められるDMA制御装置に関するものである。

【0002】

【従来の技術】 マイクロコンピュータシステムにおいて、バスの伝送帯域を有効に使用するため、DMA (Direct Memory Access) 制御装置によるDMAデータ転送が行われる場合がある。

【0003】 図6にDMA制御装置を含めたマイクロコンピュータシステムの構成例を示す。このシステムでは、MPU (Micro Processing Unit) 1、メモリ2、DMA制御回路3、入出力回路4が内部バス5によって接続された構成になっている。内部バス5の調停は、MPU1とDMA制御回路3とのそれぞれに接続されたアービタ6が行う。DMAデータ転送を行う場合、まずDMA制御回路3がアービタ6に対して転送要求を出す。アービタ6はこれを受けて、MPU1を停止状態にして、DMA制御回路3に内部バス5の使用許可を与える。これを内部バスの獲得と呼ぶ。DMA制御回路3は、メモ

リ2と入出力回路4との間で直接データ転送を行う。このように、DMAデータ転送は、ハードウェアで直接データ転送を行うので、MPU1がソフトウェアによりデータ転送を行うのに比べて、遥かに大きな転送スループットを得ることができる。転送の終了後、DMA制御回路3は、転送終了をアービタ6に通知し、アービタ6はMPU1の動作を再開させる。これをバス解放という。

【0004】 DMAデータ転送には、以下の3つの方式がある。

【0005】 (1) サイクルスチール転送方式

(2) ブロック転送方式

(3) バースト転送方式

各方式の長所、欠点を述べる。

【0006】 サイクルスチール転送方式は、例えばMPUの命令サイクル中でバスが空いている期間を利用して比較的少ないデータをデータ転送するもので、1回転送を行う毎にDMAデータ転送を中断し、MPUに制御を戻すものである。この方式では、MPU動作が一定時間以上中断されることがないという利点があるが、1回の転送でのデータ数が少なく、多くのデータを転送するには回数を多く必要とする。そして、転送を1回行う度に内部バスの獲得、解放動作が必要となるため、転送速度は遅くなる。

【0007】 バースト転送方式は、最初にDMA制御回路がバスを獲得したら、バスを解放することなく、所望の転送データが全て転送終了するまでDMAデータ転送を連続的に行うものである。3つの方式の中では最も高い転送スループットが得られるが、DMAデータ転送中はMPUの動作が不可能であるため、割込み等の迅速な応答が必要とされるイベントが発生した場合であっても、所望の転送データが全て転送終了するまで、MPUの応答が待たされるという問題がある。

【0008】 ブロック転送方式は、上記2方式の中間に当たるもので、DMA制御回路はバスを獲得したら、一定時間または一定回数データ転送を行い、その後バスを解放してMPUの制御に戻す。この、バス獲得～データ転送～バス解放の動作を繰り返して、所望の転送データを何回かに分けて転送する。

【0009】

【発明が解決しようとする課題】 迅速なMPUの応答が必要とされ、しかも高い転送スループットが要求される場合、上記ブロック転送方式が採られる。しかし、ブロック転送方式には以下のような問題がある。

【0010】 第一に、上記ブロック転送方式では、DMA制御回路はバスを獲得したら、一定時間または一定回数データ転送を行い、その後バスを解放してMPUの制御に戻す。MPUに迅速な応答 (DMAデータ転送より優先的な処理) が必要とされるイベントが発生していない状態、即ち、継続してDMAデータ転送しても不都合でない場合でも、このような動作状態に関わりなくDM

A制御回路は、一定時間または一定回数のデータ転送の後、MPUの制御に戻す。例えば、MPUがアイドル状態にあっても、DMA制御回路はバス獲得～データ転送～バス解放の動作を繰り返して、所望の転送データを何回かに分けて転送することになる。このため、転送スループットが向上しないばかりかマイクロコンピュータシステム全体としても処理効率が悪いことになる。

【0011】第二に、DMAデータ転送中に、MPUに迅速な応答が必要とされるイベントが発生した状態では、このイベントがDMAデータ転送より優先的に実行すべき処理であっても、一定時間または一定回数データ転送が行なわれるまでMPUの制御には戻らない。従って、DMAデータ転送が終わるまでイベントには対応できない。即ち、DMAデータ転送中には、イベントに対する応答に遅延が起きることになる。これはマイクロコンピュータシステム全体にとっては、性能の低下を意味することになる。

【0012】そこで、本発明の目的は、上記課題を解決し、MPUの優先度の高い処理を阻害することなく転送スループットを高められるDMA制御装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明は、マイクロコンピュータシステムの動作状態を複数のレベルに区分すると共に転送データを所定の個数のブロックに分割して上記レベル毎にブロック転送回数を割当て、バス制御に介入してブロック転送をする時、その時のマイクロコンピュータシステムの動作状態レベルに応じて上記割当てられたブロック転送回数分を転送した後バスを解放するDMA手段を有する構成としたものである。

【0014】また、マイクロコンピュータシステムの動作状態レベルは、DMAデータ転送を禁止するレベルや、1回のバス制御介入で所望の転送データが全て転送されるレベルなどを適宜設定する。

【0015】更に、転送中に所定のレベル以上の割込みが要求された時には転送を中断すると共にMPUの制御に戻し、転送を再開するためにMPUからの指令を待受けるように構成してもよい。

【0016】

【作用】上記構成により、マイクロコンピュータシステムの動作状態が複数のレベルに区分され、転送データが所定の個数のブロックに分割され、上記レベル毎にブロック転送回数が割当てられる。DMA制御回路はバス制御に介入してブロック転送をする時、その時のマイクロコンピュータシステムの動作状態レベルに応じて上記割当てられたブロック転送回数分を転送した後バスを解放する。動作状態レベルによって、DMAデータ転送に要する時間が変動することになり、従って、MPUが抑制されている時間が変動する。このため、動作レベルに応

じてMPUが動作する割合とDMAが動作する割合とが変動することになる。DMAが動作する割合が高い時、転送スループットが向上し、MPUが動作する割合が高い時、優先度の高い処理が迅速に実行されることになる。

【0017】また、動作状態レベルによってはDMAデータ転送を禁止してMPUのみ動作できるようにもなり、逆にMPU動作を停止させてDMAデータ転送を連続的に行うこともできる。

【0018】また、DMAデータ転送中に所定のレベル以上の割込みが要求された時には転送を中断すると共にMPUの制御に戻す。これにより、DMAデータ転送方式がバースト転送方式であって連続的なデータ転送するような場合でも、MPUに迅速な応答が必要とされるイベントが発生した時、即座にMPUが応答することになる。割込みの少ないときには、高い転送スループットが達成される。

【0019】

【実施例】以下本発明の一実施例を添付図面に基づいて詳述する。

【0020】図1に示されるのは、本発明に係るDMA制御装置10を備えたマイクロコンピュータシステムの構成例であって、MPU1、メモリ2、DMA制御回路3、入出力回路4が内部バス5によって互いに接続され、内部バス5の調停を行うアービタ6がMPU1とDMA制御回路3とに接続されている。DMA制御回路3は、転送データを所定の個数のブロックに分割してブロック単位でメモリと入出力回路4との間で直接データ転送を行うものである。MPU1とDMA制御回路3との間には、割込みマスクレベル設定回路7が設けられている。

【0021】ここで割込みマスクとは、割込みの優先順位を割当てるためにMPU内レジスタ等に設定されるものであって、一般に良く知られているものである。割込みマスクはそのレベルが高い程、MPUが優先順位の高い処理を行うことになる。本実施例にあつては、マイクロコンピュータシステムの動作状態を表すレベルとしてこの割込みマスクレベルが流用される。勿論、他の値でマイクロコンピュータシステムの動作状態を表すレベルを定めても構わない。

【0022】割込みマスクレベル設定回路7は、MPU1内に設定されている割込みマスクに対応させてDMA制御回路3にブロック転送回数を割当て、DMA制御回路3がバス制御に介入してブロック転送をする時、割当てられたブロック転送回数分を転送させた後バスを解放させるDMA手段11である。

【0023】次に実施例の作用を述べる。

【0024】図2に、動作状態レベルを表す割込みマスクレベルと各割込みマスクレベルに対するブロック転送回数の割当て例を示す。この割当ては、予め固定的に決

めておいてもよいし、MPUから適宜変更可能としてもよい。この例では、割込みマスクレベルとして、0～7までの8段階を定めている。番号の大きいほど優先度が高い。0～7までの各割込みマスクレベルに対するブロック転送回数は、順に、 ∞ 、 ∞ 、24、12、8、4、0、0となっている。割込みマスクレベル7と6で、ブロック転送回数が0であることは、マイクロコンピュータシステムがこれらの動作状態レベルにあるときは、DMAデータ転送が禁止されMPUのみ動作することを意味している。逆に、割込みマスクレベル1、0でブロック転送回数が ∞ （無限大）であることは、一度DMAデータ転送が開始されるとそのままDMAデータ転送が連続され、所望の転送データが全て転送されるまでMPUへは制御が戻らない、即ちバースト転送方式に当たることを意味している。残る割込みマスクレベル5～2には、それぞれ適当なブロック転送回数が割当てられており、DMA制御回路はバスを獲得したら、ブロック転送回数だけデータ転送を行い、その後バスを解放してMPUの制御に戻し、こうしてバス獲得～データ転送～バス解放の動作を繰り返して、所望の転送データを何回かに分けて転送することになる。

【0025】図3に示した動作状態遷移図において、時刻T1の時、割込みマスクレベルが7であるため、割込みマスクレベル設定回路7は、DMA制御回路3にブロック転送回数を0与えており、DMAは禁止されている。その後、T2で割込みマスクレベルが4になると、DMAデータ転送が開始され、ブロック転送が8回行われ、MPU1に制御が戻される。この後もバス獲得～データ転送～バス解放の動作が繰り返される。そして、T3で割込みマスクレベルが1になると、バースト転送方式になる。

【0026】次に、本発明の別の実施例を図4及び図5に従って説明する。

【0027】この実施例では図4に示されるように、図1の例に加えて、MPU1に割込みを知らせる割込要求信号8が内部バス5の調停を行うアービタ6にも接続されている。また図1に示された割込みマスクレベル設定回路7はここでは省略されているが、全ての割込みマスクレベルでブロック転送回数が ∞ であるような場合、即ち全レベルでバースト転送方式の場合として考えてよい。

【0028】図5の動作状態遷移図において、時刻T4の時、DMAデータ転送が開始されるとバースト転送方式に従っているため、MPU1に制御が戻されることが

ない。しかし、T5で割込みが発生するとアービタ6は、DMA制御回路3を制御して転送を中断すると共にMPU1の制御に戻す。DMA制御回路3は中断状態のままMPU1からの転送再開の指令を待ち受ける。一方、MPU1は、直ちに割込み処理を行い、処理終了後、T6でDMA制御回路3に転送再開の指令を送る。T6以後は、DMAデータ転送が再開され、次の割込要求信号が来るまで、或いは所望の転送データが全て転送されるまでMPU1へは制御が戻らない。

10 【0029】

【発明の効果】本発明は次の如き優れた効果を発揮する。

【0030】(1) マイクロコンピュータシステムの動作レベルに応じてMPUが動作する割合とDMAが動作する割合が変えられるので、全体として効率が向上する。

【0031】(2) MPUが迅速な処理を必要とする処理を行っている場合、DMAを禁止、もしくは短時間に限定できるので、迅速な処理が実行できる。

20 【0032】(3) 迅速な処理が必要な割込みが発生した時、DMAデータ転送中でも、直ちにMPUが動作するので、割込みの迅速な処理ができる。

【0033】(4) MPUがアイドル状態、或いは迅速な処理を必要としない処理を行っている場合、DMAデータ転送を連続的に行うことができるので、高い転送スループットが達成される。

【図面の簡単な説明】

【図1】本発明の一実施例を示すシステムブロック図である。

【図2】図1の割込みマスクレベル設定回路が割当ててるブロック転送回数の一例を示す一覧表である。

【図3】図1の回路の動作状態遷移図である。

【図4】本発明の別の実施例を示すシステムブロック図である。

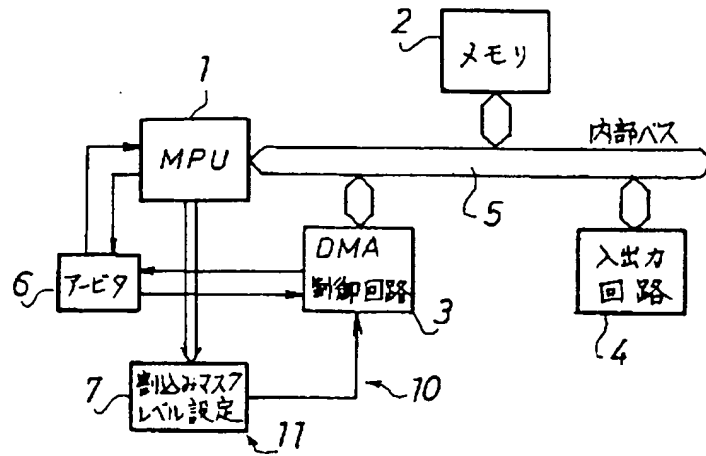
【図5】図4の回路の動作状態遷移図である。

【図6】従来例を示すシステムブロックである。

【符号の説明】

- 1 MPU
- 2 メモリ
- 3 DMA制御回路
- 4 入出力回路
- 7 割込みマスクレベル設定回路
- 10 DMA制御装置
- 11 DMA手段

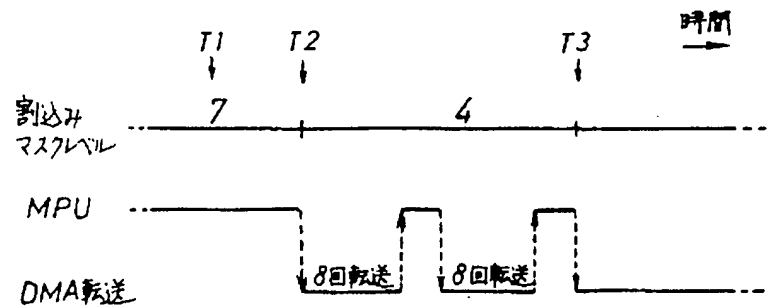
【図1】



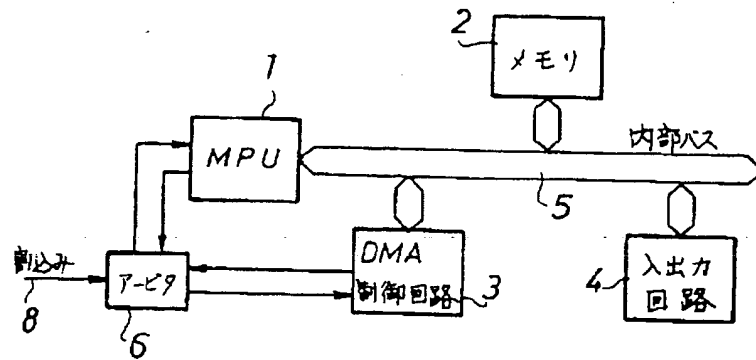
【図2】

割り込みマスクレベル	DMAフロー7転送回数	備考
7	0	DMA転送 禁止
6	0	
5	4	
4	8	
3	12	
2	24	
1	∞	
0	∞	DMAバースト 転送

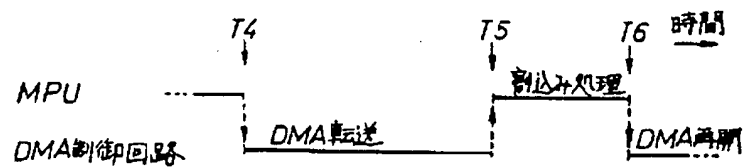
【図3】



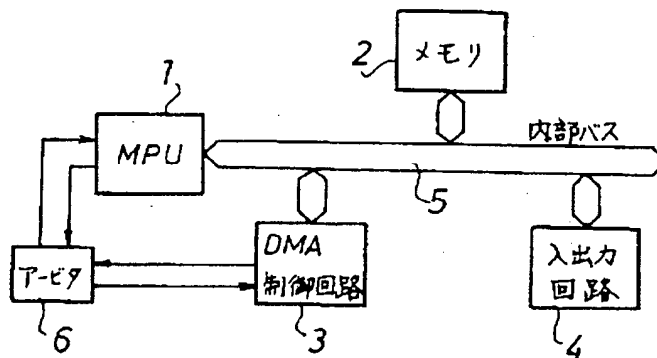
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 丹野 数彦
 茨城県日立市日高町5丁目1番1号 日立
 電線株式会社オプトロシステム研究所内